

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321509

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01P 5/19

H03F 3/60

H03F 3/68

(21)Application number : 09-070179

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.03.1997

(72)Inventor : MAEDA MASAHIRO
MORIMOTO SHIGERU

(30)Priority

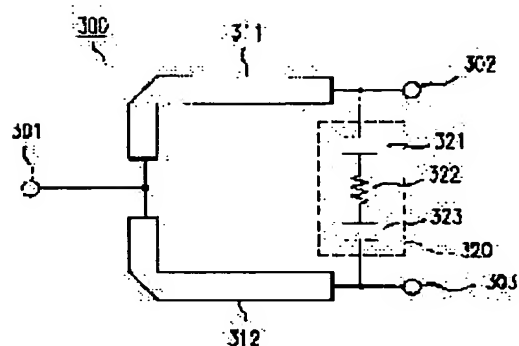
Priority number : 08 69655 Priority date : 26.03.1996 Priority country : JP

(54) BRANCH/JOINT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the high frequency power branch/joint device whose isolation characteristic is remarkably improved and a power amplifier with high performance employing it.

SOLUTION: The branch/joint device is provided with a 1st node 301, a 2nd node 302, a 3rd node 303, a 1st transmission line 311 coupled electrically with the 1st node 301 and the 2nd node 302, a 2nd transmission line 312 coupled electrically with the 1st node 301 and the 3rd node 303, and a phase shifter 320 coupled electrically with the 2nd node 302 and the 3rd node 303 and having a resistor 322 and a reactive component. In this case, the distribution of the resistive and reactive components when viewing from the 2nd node 302 is substantially equal to the distribution of those when viewing from the 3rd node 303.



LEGAL STATUS

[Date of request for examination] 30.05.1997

[Date of sending the examiner's decision of rejection] 05.04.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321509

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 5/19			H 0 1 P 5/19	A B
H 0 3 F 3/60 3/68			H 0 3 F 3/60 3/68	B

審査請求 有 請求項の数31 O L (全 24 頁)

(21) 出願番号 特願平9-70179

(22) 出願日 平成9年(1997)3月24日

(31) 優先権主張番号 特願平8-69655

(32) 優先日 平8(1996)3月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 前田 昌宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 森本 滋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

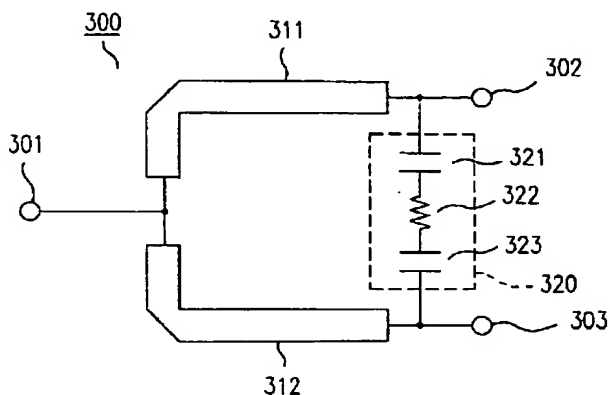
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 分配器／合成器

(57) 【要約】

【課題】 アイソレーション特性を飛躍的に向上させた高周波電力分配器／合成器と、これを用いた高性能な電力増幅器とを提供する。

【解決手段】 第1ノードと、第2ノードと、第3ノードと、第1ノードと第2ノードとに電氣的に結合された第1伝送線路と、第1ノードと第3ノードとに電氣的に結合された第2伝送線路と、第2ノードと第3ノードとに電氣的に結合され、抵抗およびリアクタンスを有する移相器と、を備えている分配器／合成器であって、第2ノードからみたときの抵抗およびリアクタンスの分布は、第3ノードからみたときの抵抗およびリアクタンスの分布に実質的に等しい。



【特許請求の範囲】

【請求項 1】 第 1 ノードと、
第 2 ノードと、
第 3 ノードと、
該第 1 ノードと該第 2 ノードとに電氣的に結合された第 1 伝送線路と、
該第 1 ノードと該第 3 ノードとに電氣的に結合された第 2 伝送線路と、
該第 2 ノードと該第 3 ノードとに電氣的に結合され、抵抗および移相器を有する調整回路と、を備えている分配器／合成器であって、
該抵抗は、該第 2 ノードと該第 3 ノードとに対して実質的に等しい位相の点に位置する分配器／合成器。

【請求項 2】 第 1 ノードと、
第 2 ノードと、
第 3 ノードと、
該第 1 ノードと該第 2 ノードとに電氣的に結合された第 1 伝送線路と、
該第 1 ノードと該第 3 ノードとに電氣的に結合された第 2 伝送線路と、
該第 2 ノードと該第 3 ノードとに電氣的に結合され、抵抗およびリアクタンスを有する調整回路と、を備えている分配器／合成器であって、
該第 2 ノードからみたときの該抵抗および該リアクタンスの分布は、該第 3 ノードからみたときの該抵抗および該リアクタンスの分布に実質的に等しい分配器／合成器。

【請求項 3】 前記第 1 および前記第 2 伝送線路による位相変化の量の和と、前記調整回路による位相変化の量との差が約 160° ～ 約 200° の範囲にある請求項 1 または 2 に記載の分配器／合成器。

【請求項 4】 前記調整回路は、移相器としてキャパシタンスを有する請求項 1 に記載の分配器／合成器。

【請求項 5】 前記調整回路は、第 1 キャパシタ、第 1 抵抗器および第 2 キャパシタの順に直列に接続された第 1 キャパシタ、第 1 抵抗器および第 2 キャパシタを有する請求項 4 に記載の分配器／合成器。

【請求項 6】 前記調整回路は、第 4 ノード、第 1 キャパシタ、第 1 抵抗器および第 2 抵抗器を有しており、直列に接続された該第 1 キャパシタおよび該第 1 抵抗器は、ノード 2 およびノード 4 を接続し、
該第 2 抵抗器は、ノード 3 およびノード 4 を接続する、
請求項 4 に記載の分配器／合成器。

【請求項 7】 前記調整回路は、移相器としてインダクタンスを有する請求項 1 に記載の分配器／合成器。

【請求項 8】 前記調整回路は、第 1 インダクタ、抵抗器および第 2 インダクタの順に直列に接続された第 1 インダクタ、抵抗器および第 2 インダクタを有する請求項 7 に記載の分配器／合成器。

【請求項 9】 前記調整回路は、移相器として伝送線路

を有する請求項 1 に記載の分配器／合成器。

【請求項 10】 前記調整回路は、第 3 伝送線路、抵抗器および第 4 伝送線路の順に直列に接続された第 3 伝送線路、抵抗器および第 4 伝送線路を有する請求項 9 に記載の分配器／合成器。

【請求項 11】 前記調整回路は、直列に接続された第 3 伝送線路、第 1 キャパシタおよび抵抗器を有する請求項 1 に記載の分配器／合成器。

【請求項 12】 前記第 3 伝送線路および前記第 1 キャパシタは、使用周波数において直列共振する請求項 11 に記載の分配器／合成器。

【請求項 13】 前記調整回路は、直列に接続されたインダクタ、第 1 キャパシタおよび抵抗器を有する請求項 1 に記載の分配器／合成器。

【請求項 14】 前記インダクタおよび前記第 1 キャパシタは、使用周波数において直列共振する請求項 13 に記載の分配器／合成器。

【請求項 15】 前記調整回路は、前記第 3 伝送線路、前記第 1 キャパシタ、前記抵抗器、第 2 キャパシタおよび第 4 伝送線路の順に接続された前記第 3 伝送線路、前記第 1 キャパシタ、前記抵抗器、第 2 キャパシタおよび第 4 伝送線路を有する請求項 12 に記載の分配器／合成器。

【請求項 16】 前記第 1 伝送線路および前記第 2 伝送線路は、それぞれ約 $\lambda/4$ (λ は使用周波数における波長) である請求項 11 に記載の分配器／合成器。

【請求項 17】 前記第 1 伝送線路および前記第 2 伝送線路は、それぞれ約 $(2n+1)\lambda/4$ であり、前記調整回路は、前記第 2 ノードおよび前記第 3 ノードの間の位相差が $n\pi$ である請求項 1 に記載の分配器／合成器。

【請求項 18】 前記第 3 伝送線路および前記第 4 伝送線路は、前記第 1 伝送線路および前記第 2 伝送線路が形成される面と異なる面上に形成される請求項 11 に記載の分配器／合成器。

【請求項 19】 前記第 1 キャパシタおよび前記抵抗器の少なくとも 1 つが前記第 3 伝送線路を交差して形成される請求項 11 に記載の分配器／合成器。

【請求項 20】 前記調整回路は、並列に接続された抵抗および移相器を有する請求項 1 に記載の分配器／合成器。

【請求項 21】 その一端において前記第 1 伝送線路および前記第 2 伝送線路の少なくとも 1 つに電氣的に結合されたキャパシタをさらに備えており、該キャパシタは、その他端においてグラウンドに電氣的に結合されている請求項 1 に記載の分配器／合成器。

【請求項 22】 その一端において前記第 1 ノードに電氣的に結合されたキャパシタをさらに備えており、該キャパシタは、その他端においてグラウンドに電氣的に結合されている請求項 1 に記載の分配器／合成器。

【請求項 23】 前記第 1 ノード、前記第 2 ノードおよ

び前記第3ノードの少なくともひとつから信号を受け取り、増幅し、該増幅された信号を出力する増幅器をさらに備えている請求項1に記載の分配器／合成器。

【請求項24】 前記増幅器は、複数の増幅素子と、該複数の増幅素子のそれぞれのゲートにゲート電圧を供給する複数のノードとを有する請求項23に記載の分配器／合成器。

【請求項25】 前記複数のノードの少なくとも2つのノードは、異なる電圧を受け取る請求項24に記載の分配器／合成器。

【請求項26】 前記増幅器は、複数の増幅素子と、該複数の増幅素子のそれぞれのドレインにドレイン電圧を供給する複数のノードとを有する請求項23に記載の分配器／合成器。

【請求項27】 前記複数のノードの少なくとも2つのノードは、異なる電圧を受け取る請求項26に記載の分配器／合成器。

【請求項28】 前記複数の増幅素子の少なくとも2つの増幅素子の総ゲート幅および総エミッタサイズのいずれかが互いに異なる請求項23、25および27のいずれかに記載の分配器／合成器。

【請求項29】 第1ノードと、
第2ノードと、
第3ノードと、
該第1ノードと該第2ノードとに電氣的に結合された、直列接続された第1伝送線路およびキャパシタと、
該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、
該第2ノードと該第3ノードとに電氣的に結合された抵抗と、を備えている分配器／合成器。

【請求項30】 第1ノードと、
第2ノードと、
第3ノードと、
該第1ノードと該第2ノードとに電氣的に結合された第1伝送線路と、
該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、
該第2ノードと該第3ノードとに電氣的に結合された抵抗と、
該第1伝送線路とグラウンドとに電氣的に結合された第1キャパシタと、を備えている分配器／合成器。

【請求項31】 前記第2伝送線路とグラウンドとに電氣的に結合された第2キャパシタをさらに備えている請求項30に記載の分配器／合成器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、分配器／合成器に関しており、より詳細には、例えばマイクロ波帯を利用した通信機などに用いられる高周波電力を分配または合成する分配器／合成器に関する。

【0002】

【従来の技術】 携帯電話をはじめとする通信機は、近年、めざましい普及をみせている。これに伴いマイクロ波帯の電力分配器／合成器、およびトランジスタ、FET (field effect transistor) などの半導体デバイスを用いた電力増幅器の高性能化が強く望まれている。より周波数の高い周波数、つまりミリ波帯においても研究開発および機器の実用化が急速に進んでいる。

【0003】 高周波電力分配器／合成器としてウイルキンソン型のものが知られている。図1は、従来技術によるウイルキンソン型電力分配器／合成器の等価回路である。図1の分配器／合成器が、分配器として用いられるときは、ノード101が高周波(RF)電力を受け取り、ノード102および103が受け取られた高周波電力を出力する。図1の分配器／合成器が、合成器として用いられるときは、ノード102および103が高周波電力を受け取り、ノード101が受け取られた高周波電力を出力する。

【0004】 ここでノード101に接続される回路のインピーダンスを Z_1 とし、ノード102および103に接続される回路のインピーダンスを Z_2 とする。伝送線路111および112の特性インピーダンスを $\sqrt{2 \cdot Z_1 \cdot Z_2}$ に設定し、伝送線路111および112の長さを $\lambda/4$ に設定することによって、外部に接続される回路とのインピーダンス整合が実現される。 $2 \cdot Z_2$ の抵抗をもつ抵抗器121をノード102および103の間に設けることによって、ノード102および103の間のアイソレーションが実現される。

【0005】 ノード102および103の間のアイソレーションは、後述するように2つのパスを通過する高周波電力がキャンセルされることによる。高周波電力がノード102において入力され、ノード103において出力される場合を考える。1つのパスは、ノード102、伝送線路111および112、およびノード103である。もう1つのパスは、ノード102、抵抗器121、およびノード103である。伝送線路111および112の長さはそれぞれ $\lambda/4$ なので、ノード103においてこれら2つのパスを通過した高周波電力の位相差は π radである(つまり位相差が 180° である)。したがって抵抗器121の抵抗を調整することによって、ノード102から入力され、これら2つのパスを通過する高周波電力は、ノード103においてキャンセルされる。すなわちノード102および103は、高周波電力についてはアイソレートされることになる。

【0006】 しかし従来技術においては、ノード101、102および103のすべてに、実数成分(つまり抵抗成分)を有するインピーダンスが接続される場合しか考慮されていないかった。

【0007】 また特開平第7-263981号公報に記載された電力増幅器は、電力分配器／合成器を用いた電

力増幅器における寄生発振を抑制するための具体的な手段が提供されている。上記公報は、電力分配器の2本の伝送線路の間に直列に接続された抵抗素子および位相遅延素子を挿入することにより、ゲインが低下しその結果、発振が防止されることを記載している。

【0008】

【発明が解決しようとする課題】上記公報の位相遅延素子は、抵抗素子について非対称に配置されている。この配置では、抵抗素子に入力される電力の位相が同相にならないため、抵抗素子は電力を消費する。上記公報に記載の電力増幅器の問題点は、抵抗素子による電力損失に起因する出力電力の低下とゲインの低下とにある。

【0009】さらに電力分配器／合成器を用いた増幅器においては、ノード間のアイソレーションが一般に極めて重要である。しかし上記公報の増幅器は、確実なノード間のアイソレーションを実現できない。

【0010】図2は、従来のウィルキンソン型電力分配器の回路図である。入力された1つの信号が3つに分配されて出力される（すなわち分配数は3である）。図2のウィルキンソン型電力分配器は、ノード201、202、203および204と、伝送線路211、212および213と、抵抗器221および222とを有する。インピーダンス整合とアイソレーションとを実現するためには、伝送線路211～213の長さは、 $\lambda/4$ に設定されなければならない。したがって伝送線路213は、千鳥状にレイアウトされなければならない。ところが分配数が多いときには、すべての伝送線路の長さが等しいようにレイアウトすることはさらに難しい。

【0011】また図1の従来のウィルキンソン型電力分配器においては、動作周波数が高くなるにしたがい、ノード102および103の間の距離が波長に対して無視できなくなる。したがってノード102および103のアイソレーション特性が劣化するという問題を有する。従来技術の課題は以下のようなものである。

【0012】（1）従来の高周波電力分配器／合成器では、入力ノードまたは出力ノードのどちらかに虚数成分（つまりリアクタンス成分）を有するインピーダンスが接続される場合には、整合とアイソレーションとを同時に満足することが困難である。すなわち後述する本発明によって、入力ノードまたは出力ノードにリアクタンス成分を有するインピーダンスを接続しながらも整合とアイソレーションとを同時に満足できることは、本発明の発明者が初めて得た知見である。

【0013】（2）従来の高周波電力分配器／合成器を用いた増幅器では、ゲート端子間のインピーダンス整合とアイソレーションとを満足することは困難である。またドレイン端子間についても同様の問題がある。なぜならFETの入力／出力インピーダンスは、通常、虚数成分を有するからである。

【0014】（3）従来の高周波電力分配器／合成器を

用いた増幅器では、複数のFETのゲートおよびノードに同じ電位が供給されるため、FETの閾値電圧が各々異なる場合には、出力波形の対称性が損なわれ、高周波電力の分配／合成効率が劣化するという問題がある。

【0015】（4）従来の伝送線路を用いた高周波電力分配器／合成器では、分配／合成される数が多くなるにしたがって、すべての線路の長さを等しくすることは難しく、線路の長さが異なる場合にはインピーダンスの不整合およびアイソレーションの劣化が問題となる。

【0016】（5）従来の高周波電力分配器では、出力ノード間の距離が波長に対して無視できない場合、出力ノード間のアイソレーションの劣化が問題となる。

【0017】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、インピーダンス整合とアイソレーションとを実現する高周波電力分配器／合成器、および高効率な高周波電力増幅器を提供することにある。

【0018】

【課題を解決するための手段】本発明による分配器／合成器は、第1ノードと、第2ノードと、第3ノードと、該第1ノードと該第2ノードとに電氣的に結合された第1伝送線路と、該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、該第2ノードと該第3ノードとに電氣的に結合され、抵抗および移相器を有する調整回路と、を備えている分配器／合成器であって、該抵抗は、該第2ノードと該第3ノードとに対して実質的に等しい位相の点に位置しており、そのことにより上記目的が達成される。

【0019】本発明による分配器／合成器は、第1ノードと、第2ノードと、第3ノードと、該第1ノードと該第2ノードとに電氣的に結合された第1伝送線路と、該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、該第2ノードと該第3ノードとに電氣的に結合され、抵抗およびリアクタンスを有する調整回路と、を備えている分配器／合成器であって、該第2ノードからみたときの該抵抗および該リアクタンスの分布は、該第3ノードからみたときの該抵抗および該リアクタンスの分布に実質的に等しく、そのことにより上記目的が達成される。

【0020】ある実施形態では、前記第1および前記第2伝送線路による位相変化の量の和と、前記調整回路による位相変化の量との差が約 160° ～約 200° の範囲にある。

【0021】ある実施形態では、前記調整回路は、移相器としてキャパシタンスを有する。

【0022】ある実施形態では、前記調整回路は、第1キャパシタ、第1抵抗器および第2キャパシタの順に直列に接続された第1キャパシタ、第1抵抗器および第2キャパシタを有する。

【0023】ある実施形態では、前記調整回路は、第4

ノード、第1キャパシタ、第1抵抗器および第2抵抗器を有しており、直列に接続された該第1キャパシタおよび該第1抵抗器は、ノード2およびノード4を接続し、該第2抵抗器は、ノード3およびノード4を接続する。

【0024】ある実施形態では、前記調整回路は、移相器としてインダクタンスを有する。

【0025】ある実施形態では、前記調整回路は、第1インダクタ、抵抗器および第2インダクタの順に直列に接続された第1インダクタ、抵抗器および第2インダクタを有する。

【0026】ある実施形態では、前記調整回路は、移相器として伝送線路を有する。

【0027】ある実施形態では、前記調整回路は、第3伝送線路、抵抗器および第4伝送線路の順に直列に接続された第3伝送線路、抵抗器および第4伝送線路を有する。

【0028】ある実施形態では、前記調整回路は、直列に接続された第3伝送線路、第1キャパシタおよび抵抗器を有する。

【0029】ある実施形態では、前記第3伝送線路および前記第1キャパシタは、使用周波数において直列共振する。

【0030】ある実施形態では、前記調整回路は、直列に接続されたインダクタ、第1キャパシタおよび抵抗器を有する。

【0031】ある実施形態では、前記インダクタおよび前記第1キャパシタは、使用周波数において直列共振する。

【0032】ある実施形態では、前記調整回路は、前記第3伝送線路、前記第1キャパシタ、前記抵抗器、第2キャパシタおよび第4伝送線路の順に接続された前記第3伝送線路、前記第1キャパシタ、前記抵抗器、第2キャパシタおよび第4伝送線路を有する。

【0033】ある実施形態では、前記第1伝送線路および前記第2伝送線路は、それぞれ約 $\lambda/4$ (λ は使用周波数における波長)である。

【0034】ある実施形態では、前記第1伝送線路および前記第2伝送線路は、それぞれ約 $(2n+1)\lambda/4$ であり、前記調整回路は、前記第2ノードおよび前記第3ノードの間の位相差が $n\pi$ である。

【0035】ある実施形態では、前記第3伝送線路および前記第4伝送線路は、前記第1伝送線路および前記第2伝送線路が形成される面と異なる面上に形成される。

【0036】ある実施形態では、前記第1キャパシタおよび前記抵抗器の少なくとも1つが前記第3伝送線路を交差して形成される。

【0037】ある実施形態では、前記調整回路は、並列に接続された抵抗および移相器を有する。

【0038】ある実施形態では、その一端において前記第1伝送線路および前記第2伝送線路の少なくとも1つ

に電氣的に結合されたキャパシタをさらに備えており、該キャパシタは、その他端においてグラウンドに電氣的に結合されている。

【0039】ある実施形態では、その一端において前記第1ノードに電氣的に結合されたキャパシタをさらに備えており、該キャパシタは、その他端においてグラウンドに電氣的に結合されている。

【0040】ある実施形態では、前記第1ノード、前記第2ノードおよび前記第3ノードの少なくともひとつから信号を受け取り、増幅し、該増幅された信号を出力する増幅器をさらに備えている。

【0041】ある実施形態では、前記増幅器は、複数の増幅素子と、該複数の増幅素子のそれぞれのゲートにゲート電圧を供給する複数のノードとを有する。

【0042】ある実施形態では、前記複数のノードの少なくとも2つのノードは、異なる電圧を受け取る。

【0043】ある実施形態では、前記増幅器は、複数の増幅素子と、該複数の増幅素子のそれぞれのドレインにドレイン電圧を供給する複数のノードとを有する。

【0044】ある実施形態では、前記複数のノードの少なくとも2つのノードは、異なる電圧を受け取る。

【0045】ある実施形態では、前記複数の増幅素子の少なくとも2つの増幅素子の総ゲート幅および総エミッタサイズのいずれかが互いに異なる。

【0046】本発明による分配器/合成器は、第1ノードと、第2ノードと、第3ノードと、該第1ノードと該第2ノードとに電氣的に結合された、直列接続された第1伝送線路およびキャパシタと、該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、該第2ノードと該第3ノードとに電氣的に結合された抵抗と、を備えており、そのことにより上記目的が達成される。

【0047】本発明による分配器/合成器は、第1ノードと、第2ノードと、第3ノードと、該第1ノードと該第2ノードとに電氣的に結合された第1伝送線路と、該第1ノードと該第3ノードとに電氣的に結合された第2伝送線路と、該第2ノードと該第3ノードとに電氣的に結合された抵抗と、該第1伝送線路とグラウンドとに電氣的に結合された第1キャパシタと、を備えており、そのことにより上記目的が達成される。

【0048】ある実施形態では、前記第2伝送線路とグラウンドとに電氣的に結合された第2キャパシタをさらに備えている。

【0049】

【発明の実施の形態】本発明の実施の形態を図面を参照しながら説明する。同じ参照符号は、同じ構成要素を示す。

【0050】本明細書における「ノード」は、電気回路の複数の構成要素が結合される点のことをいう。このノードは、例えば複数の電気部品が接続されている点や、入/出力用の端子を含む。本明細書のノードは、必ずし

も物理的な大きさをもったいわゆる「端子」、「テストピン」などである必要はない。換言すれば、例えばプリント基板上にレイアウトされた回路パターンの中に存在するある１点は、本明細書のノードに含まれる。

【００５１】本明細書における「分配器／合成器」は、分配器および合成器を総称するために用いられる。後の説明から明らかなように、本発明の分配器／合成器は、入力／出力するノードを選ぶことによって、分配器として、または合成器として使用することができる。したがって以下の説明において例えば分配器について成り立つ説明は、信号が伝送されるパスに沿った向きを逆にすれば、合成器についても成り立つ。

【００５２】また本明細書における「伝送線路」は、その長さや特性インピーダンスが回路全体の特性を決定する線路をいい、例えばマイクロストリップ線路、コプレーナ線路、同軸線路、導波管などを含む。図面において、この伝送線路は、細長の長方形で表現される。これに対して図面において実線で表現される部分は、その物理的な長さや、抵抗値を無視するいわゆる「導線」である。本発明の分配器／合成器においては、伝送線路として好ましくはマイクロストリップ線路およびコプレーナ線路が用いられる。

【００５３】本発明による分配器／合成器は、高周波帯、特にギガヘルツ帯の電力の分配／合成に有用であるが、使用周波数はこれに限定されない。

【００５４】（実施の形態１）図３は、本発明による分配器／合成器の実施の形態１の回路図である。分配器／合成器３００は、ノード３０１、３０２および３０３を備えている。伝送線路３１１は、ノード３０１および３０２を電気的に結合する。伝送線路３１２は、ノード３０１および３０３を電気的に結合する。移相器３２０は、ノード３０２および３０３を電気的に結合する。

【００５５】分配器／合成器３００が分配器として用いられるとき、ノード３０１は高周波信号を受け取り、ノード３０２および３０３は受け取られた高周波信号を出力する。逆に分配器／合成器３００が合成器として用いられるとき、ノード３０２および３０３は高周波信号を受け取り、ノード３０１は受け取られた高周波信号を出力する。

【００５６】分配器／合成器３００の構成は、あとで詳述するように少なくとも以下の２つの点で従来の電力分配器とは異なる。すなわち、特開平第 7-263981 号公報との差異は、（ｉ）複数の出力ノードからみたときの抵抗およびリアクタンスの分布が同一である点（後述する表現を用いれば、「抵抗・リアクタンスの対称性」が満足される点）であって、図１との差異は、（ｉ）移相器３２０がリアクタンス成分を有する点である。上記（ｉ）の特徴によって、抵抗器３２２が電力を消費しないようにできる。また「抵抗・リアクタンスの対称性」が満足されない場合であっても、ノード３０２

および３０３に対して等しい位相である点に抵抗器３２２を配置することによって、抵抗器３２２に入力される電力の位相が同相になるので抵抗器３２２が電力を消費しないようにできる。

【００５７】上記（ｉ）の特徴によって、伝送線路３１１および３１２の長さが $\lambda/4$ （以下、「 λ 」は使用される高周波信号の波長を表す）でなくても、ノード３０２および３０３が互いにアイソレートされうる。

【００５８】以下に移相器３２０の「対称性」について説明する。移相器３２０は、本実施の形態においては、直列に接続されたキャパシタ３２１、抵抗器３２２およびキャパシタ３２３を有する。分配器／合成器３００においては、ノード３０２からみたときの抵抗およびリアクタンスの分布は、ノード３０３からみたときの抵抗およびリアクタンスの分布に実質的に等しい。本明細書において、抵抗およびリアクタンスの「分布」は、あるノードから高周波信号の通るパスに沿って累積された抵抗成分およびリアクタンス成分をいう。

【００５９】図４は、分配器／合成器３００の回路基板の構成を示す図である。図４に示すように分配器／合成器３００の各構成要素の配置は、ノード３０１および抵抗器３２２を通る直線ＣＬについて線対称である。

【００６０】図５は、図４に示す移相器３２０のノード３０２からみたときの抵抗およびリアクタンスの分布（それぞれ分布 $D302R$ および $D302X$ という）と、ノード３０３からみたときの抵抗およびリアクタンスの分布（分布 $D303R$ および $D303X$ という）とを示す図である。図５の上のグラフの縦軸は抵抗の分布を示し、下のグラフの縦軸はリアクタンスの分布を示す。上下のグラフの横軸は、ノード３０２または３０３からみたときの距離を示し、これらの横軸の間に挟まれる横軸は、ノード３０２または３０３からの距離に応じたそれぞれの構成要素の位置を表す。抵抗およびリアクタンスの分布は、特定のノードからのある距離における累積された抵抗およびリアクタンスを表す。

【００６１】図５に示すように、分布 $D302R$ および $D303R$ は同一のプロットになり、同様に分布 $D302X$ および $D303X$ も同一のプロットになる。このように例えば「ノード３０２からみたときの抵抗およびリアクタンスの分布が、ノード３０３からみたときの抵抗およびリアクタンスの分布に実質的に等しいこと」を以下、簡単のためにノード３０２および３０３についての「抵抗・リアクタンスの対称性」とよぶ。

【００６２】複数のノードについての抵抗・リアクタンスの対称性を満足するために、伝送線路３１１および３１２、キャパシタ３２１および３２３、および抵抗器３２２がマウントされる回路基板のパターンは、典型的にはノード３０１および抵抗器３２２を結ぶ直線ＣＬについて線対称である。しかしパターンが線対称であるだけでは十分ではなく、例えばキャパシタ３２１および３２

3 がもつキャパシタンスの値がそれぞれ同じで、かつ伝送線路 311 および 312 がもつ物理的なパラメータ

(例えば線路の長さ、特性インピーダンスなど) もそれぞれ同じである必要がある。ノード 302 および 303 についての抵抗・リアクタンスの対称性を実現するための回路パターンは、線対称なものに限られず、点対称なものであってもよい。

【0063】例えば以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード 302 および 303 の間のアイソレーションとがともに実現される。すなわち、

ノード 301 : 50Ω で終端、

ノード 302 および 303 : $(10 + j12)\Omega$ で終端、

キャパシタ 321 および 323 のリアクタンス : -12Ω 、

抵抗器 322 の抵抗 : 20Ω 、

伝送線路 311 および 312 の特性インピーダンス : 30Ω 、および

伝送線路 311 および 312 の長さ : $5\lambda/24$ ($<\lambda/4$)。

【0064】まず、インピーダンス整合が実現される理由を図 6 を参照しながら説明する。図 6 は、実施の形態 1 によるインピーダンス整合を説明するための図である。ノード 302 および 303 でのインピーダンス $(10 + j12)\Omega$ は、それぞれ伝送線路 311 および 312 により、それぞれ純抵抗である 100Ω に変換される(図 6 中の C1)。換言すればノード 301 からノード 302 をみたインピーダンスは、伝送線路 312 が存在しないと仮定すれば 100Ω になる。ここでノード 301 には 2 本の伝送線路 311 および 312 が接続されているので、結局、ノード 301 からノード 302 および 303 の側をみたインピーダンスは 50Ω となり(図 6 中の C2)、これはインピーダンス整合が実現されることを意味する。

【0065】次に、ノード 302 および 303 の間のアイソレーションが実現される理由を説明する。「アイソレーション」とは、ここでは回路網において高周波信号が一方の端子から入力されたときに、他方の端子から出力されないことをいう。アイソレーションを実現するためには、複数のバスを通る高周波信号が互いにキャンセルされればよい。この実施の形態では、複数のバスは以下の 2 つのバスである。すなわち

バス P311-312 : ノード 302、伝送線路 311、伝送線路 312 およびノード 303 の順に通るバス、および

バス P320 : ノード 302、キャパシタ 321、抵抗器 322、キャパシタ 323 およびノード 303 の順に通るバス。

【0066】バス P311-312 においては、信号

は、伝送線路 311 および 312 を通る。伝送線路 311 および 312 は、それぞれ $5\lambda/24$ の長さをもつので、信号の位相を $5\pi/6\text{rad}$ だけ遅らせる。バス P320 においては、キャパシタ 321 および 323 のリアクタンスが -12Ω であるとき、移相器 320 は、信号の位相を $\pi/6\text{rad}$ だけ進ませる。したがってバス P311-312 を通る信号の位相と、バス P320 を通る信号の位相との差は πrad である(つまり 2 つの信号は、逆位相である)。

【0067】さらにバス P311-312 を通る信号の電流値と、バス P320 を通る信号の電流値とが等しくなるように、抵抗器 322 の抵抗値を 20Ω に設定する。以上のように本実施の形態によれば、ノード 302 において入力された信号は、逆位相で、かつ大きさが等しい 2 つの信号に分割されてからノード 303 において出力される。その結果、ノード 302 において入力された信号は、ノード 303 においてキャンセルされる。つまり本実施の形態によれば、ノード 302 およびノード 303 の間のアイソレーションが実現できる。

【0068】図 7 は、従来技術と比較したときの本実施の形態による特性改善を説明するための図である。本実施の形態は、キャパシタンス 14pF をもつキャパシタ 321 および 323 を備えている。いっぽう従来技術による分配器は図 1 に示すようにキャパシタを備えていない。図 7 において、本実施の形態の特性のプロットを白丸(○)によって、従来技術による分配器の特性のプロットを黒丸(●)によって表す。

【0069】従来技術によれば、インピーダンス整合が実現できる周波数が約 1.0GHz である(不図示)にも関わらず、アイソレーション特性が最適化される周波数は 1.4GHz である。したがって従来技術によれば、これらの周波数が 0.4GHz ずれているために、インピーダンス整合およびアイソレーション特性を同時に最適化することは不可能である。しかも従来技術においては、インピーダンス整合がとれる周波数 1.0GHz におけるアイソレーションは、せいぜい -10dB 程度である。

【0070】これに対して、本発明による分配器/合成器は、インピーダンス整合がとれる周波数 1.0GHz において -22dB 以下の良好なアイソレーションを実現し、かつインピーダンス整合とアイソレーション特性とを同時に満足できる。

【0071】図 8 は、周波数 1.0GHz におけるバス P311-312 を通る信号、およびバス P320 を通る信号の位相差に対する、ノード 302 および 303 の間のアイソレーションの変化を示すグラフである。横軸は、2 つのバスを通る信号の位相差を表し、縦軸は、2 つのノードの間のアイソレーションを表す。良好なアイソレーション(つまり約 -15dB 以下のアイソレーション)を実現するためには、位相差が約 $160^\circ \sim 2$

00° の範囲にあることが好ましい。さらに良好なアイソレーション（つまり約-18dB以下のアイソレーション）を実現するためには、位相差が約170°～約190°の範囲にあることが好ましい。図8中の黒丸

(●)で示すように、従来技術による分配器の位相差は、150°であり、アイソレーションはせいぜい-10dB程度であった。したがって図8に示すように、従来技術に比べて本発明の分配器/合成器は、はるかに優れたアイソレーション特性をもつことがわかる。

【0072】本実施の形態に限らず一般に、入力ノードが純抵抗（例えば50Ω）によって終端され、2つの出力ノードがスミスチャートの実軸上を除く第2象限（図6の斜線部）にあるインピーダンスによって終端される分配器/合成器は、インピーダンス整合のために伝送線路がλ/4より短い必要がある。従来技術の構成では、このような場合、出力ノード間のアイソレーションが悪くなる。しかし本発明は、移相器320を用いて位相を制御することによって、アイソレーション特性の飛躍的な向上を可能としている。

【0073】本発明と特開平7-263981号公報に記載された電力増幅器との差異を以下に説明する。上記公報では、2本の伝送線路の端点（本実施の形態では、ノード302および303に対応する点）の間にある抵抗器に対して、位相遅延素子が非対称に接続されている。この場合、抵抗器は電力を消費し、ゲインを低下させるので、結果としては発振の防止につながる。しかし公報の増幅器は、ゲイン低下や、抵抗器における電力損失に起因する出力電力および効率の低下を生じ、しかも出力ノードの間のアイソレーションを実現できない。

【0074】いっぽう本発明によれば、上述のようにノード302および303についての抵抗・リアクタンスの対称性が満足されるように回路のパラメータと、物理的な配置とが決定される。抵抗・リアクタンスの対称性が満足されるとき、抵抗器に印加される信号の位相は同相であり、抵抗器で電力は消費されない。また前述のパスP311-312を通る信号の位相およびパスP320を通る信号の位相の差がπradになるように、つまり位相が逆になるように、ノード302および303の

$$(R+1/j\omega C)(1/X+j\omega Y)=1 \quad (1)$$

式(1)から

$$X=1/\omega^2CRY \quad (2)$$

$$Y/C+R/X=1 \quad (3)$$

(2)式を(3)式に代入して整理すると、

$$Y=C/(1+\omega^2C^2R^2) \quad (4)$$

となる。(4)式を、 $R=20\Omega$ 、 $2C=14\text{pF}$ （つまり $C=7\text{pF}$ ）、 $\omega=2\pi f$ 、および $f=1\text{GHz}$ の条件のもとで解くと、 $Y=4\text{pF}$ が得られ、これを

(2)式に代入すると $X=40\Omega$ が得られる。つまりこのことは、直列に接続された2つのキャパシタおよび抵抗器を含む実施の形態1の移相器320の代わりに、並

間に移相器320が接続されている。その結果、ノード302および303の間のアイソレーションが確保される。

【0075】以下、簡単のため、ある1つのノードから入力された高周波信号をN（N：2以上の整数）個のノードにおいて出力する分配を「1-N分配」とよび、N（N：2以上の整数）個のノードから入力された高周波信号をある1つのノードにおいて出力する合成を「N-1合成」とよぶ。本実施の形態では1-2分配および2-1合成を説明した。しかしこれには限られず、1-N分配およびN-1合成（N：3以上の整数）を実施するように本実施の形態を改変できることが当業者にはわかるだろう。

【0076】また本発明による分配器/合成器は、専用の分配器または専用の合成器として実施されてもよい。

【0077】（実施の形態2）実施の形態1においては、移相器320として直列に接続されたキャパシタ321、抵抗器322およびキャパシタ323を用いた。図9は、実施の形態1の移相器320を示す図であるが、実施の形態2の説明のために再掲する。キャパシタ321および323はキャパシタンス2Cをもち、抵抗器322は抵抗Rをもつとする。以下の説明においては冗長さを避けるために、実施の形態1と異なる点を中心に説明し、実施の形態1と同様の点は詳述しない。

【0078】図10は、本発明による分配器/合成器の実施の形態2の回路図である。実施の形態2においては、移相器320として並列に接続されたキャパシタ1021および抵抗器1022が用いられる。図10の回路は、抵抗・リアクタンスの対称性を満足する。抵抗・リアクタンスの対称性が満足されるときは、抵抗器1022に印加される高周波信号の位相は同相なので、抵抗器1022は高周波信号の電力を消費しない。本実施の形態も、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0079】キャパシタ1021はキャパシタンスYをもち、抵抗器1022は抵抗Xをもつとする。このとき次式に示す関係が成り立つ。

$$【0080】$$

列に接続されたキャパシタ1021および抵抗器1022を含む図10に示す移相器320を使用できることを意味する。

【0081】（実施の形態3）図11は、本発明による分配器/合成器の実施の形態3の回路図である。実施の形態1の移相器320がキャパシタを有するのに対し、実施の形態3の移相器320は、直列に接続されたインダクタ1121、抵抗器1122およびインダクタ1123を有する。抵抗器1122は抵抗Rをもつとする。以下の説明においては冗長さを避けるために、実施の形態1と異なる点を中心に説明し、実施の形態1と同様の

点は詳述しない。図11の回路は、抵抗・リアクタンスの対称性を満足する。抵抗・リアクタンスの対称性が満足されるときには、抵抗器1122に印加される高周波信号の位相は同相なので、抵抗器1122は高周波信号の電力を消費しない。本実施の形態も、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0082】例えば以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード302および303の間のアイソレーションとがともに実現される。すなわち、

ノード301：50Ωで終端、

ノード302および303： $(10-j12)$ Ωで終端、

インダクタ1121および1123のリアクタンス：12Ω、

抵抗器1122の抵抗：20Ω、

伝送線路311および312の特性インピーダンス：30Ω、および

伝送線路311および312の長さ： $7\lambda/24$ ($>\lambda/4$)。

【0083】図12は、実施の形態3によるインピーダンス整合を説明するための図である。ノード302および303でのインピーダンス $(10-j12)$ Ωは、それぞれ伝送線路311および312により、それぞれ純抵抗である100Ωに変換される(図12中のC1)。換言すればノード301からノード302をみたインピーダンスは、伝送線路312が存在しないと仮定すれば100Ωになる。ここでノード301には2本の伝送線路311および312が接続されているので、結局、ノード301からノード302および303の側をみたインピーダンスは50Ωとなり(図12中のC2)、これはインピーダンス整合が実現されることを意味する。

【0084】本実施の形態は、ノード301が純抵抗(例えば50Ω)によって終端され、出力ノード302および303がスミスチャートの第3象限(図12の斜線部)にあるインピーダンスによって終端される場合に特に効果を奏する。

【0085】次に、ノード302および303の間のアイソレーションが実現される理由を説明する。高周波信号がノード302に印加されると、実施の形態1で説明したように、高周波信号は、バスP311-312およびバスP320を通過して、ノード303に達する。バスP311-312においては、信号は、伝送線路311および312を通過する。伝送線路311および312は、それぞれ $7\lambda/24$ の長さをもつので、信号の位相を $7\pi/6$ radだけ遅らせる。バスP320において、インダクタ1121および1123のリアクタンスが12Ωであるとき、移相器320は、信号の位相を $\pi/6$ radだけ遅らせる。したがってバスP311-312を

通過する信号の位相と、バスP320を通過する信号の位相との差は π radである(つまり2つの信号は、逆位相である)。

【0086】さらにバスP311-312を通過する信号の電流値と、バスP320を通過する信号の電流値とが等しくなるように、抵抗器1122の抵抗値を設定する。以上のように本実施の形態によれば、ノード302において入力された信号は、逆位相で、かつ大きさが等しい2つの信号に分割されてからノード303において出力される。その結果、ノード302において入力された信号は、ノード303においてキャンセルされる。つまり本実施の形態によれば、実施の形態1と同様にノード302およびノード303の間のアイソレーションが実現できる。

【0087】(実施の形態4) 図13は、本発明による分配器/合成器の実施の形態4の回路図である。実施の形態3の移相器320がインダクタを有するのに対し、実施の形態4の移相器320は、直列に接続された伝送線路1321、抵抗器1322および伝送線路1323を有する。以下の説明においては冗長さを避けるために、実施の形態3と異なる点を中心に説明し、実施の形態3と同様の点は詳述しない。図13の回路は、抵抗・リアクタンスの対称性を満足する。抵抗・リアクタンスの対称性が満足されるときには、抵抗器1322に印加される高周波信号の位相は同相なので、抵抗器1322は高周波信号の電力を消費しない。本実施の形態も、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0088】例えば以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード302および303の間のアイソレーションとがともに実現される。すなわち、

ノード301：50Ωで終端、

ノード302および303： $(10-j12)$ Ωで終端、

伝送線路1321および1323の特性インピーダンス：30Ω、

伝送線路1321および1323の長さ： $\lambda/24$ 、

抵抗器1322の抵抗：20Ω、

伝送線路311および312の特性インピーダンス：30Ω、および

伝送線路311および312の長さ： $7\lambda/24$ ($>\lambda/4$)。

【0089】(実施の形態5) 図1に示す従来の分配器においては、使用周波数が高くなるにしたがって、ノード102および103の間の距離が波長 λ に対して無視できなくなる。このとき、ノード102および103の間のアイソレーションが劣化することが問題となる。

【0090】以下の説明においては冗長さを避けるために、実施の形態1と異なる点を中心に説明し、実施の形

態 1 と同様の点は詳述しない。

【0091】図 14 は、本発明による分配器／合成器の実施の形態 5 の回路図である。

【0092】実施の形態 1 の移相器 320 がキャパシタおよび抵抗器を有するのに対し、図 14 の (a) に示す実施の形態 5 の移相器 320 は、直列に接続された伝送線路 1424、キャパシタ 1421、抵抗器 1422、キャパシタ 1423 および伝送線路 1425 を有する。

【0093】図 14 の回路は、抵抗・リアクタンスの対称性を満足する。また本実施の形態も、実施の形態 1 と同様のインピーダンス整合およびアイソレーションを実現できる。抵抗器 1422 に印加される高周波信号の位相は同相なので、抵抗器 1422 は高周波信号の電力を消費しない。

【0094】例えば図 14 の (a) の回路については、以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード 302 および 303 の間のアイソレーションとがともに実現される。すなわち、使用周波数：1 GHz、

基板の比誘電率：10.5、

ノード 301、ノード 302 および 303：50 Ω で終端、

伝送線路 1424 および 1425 の長さ：5 mm、

抵抗器 1422 の抵抗：100 Ω、

伝送線路 311 および 312 の特性インピーダンス：70 Ω、および

伝送線路 311 および 312 の長さ：30 mm ($=\lambda/4$)。

【0095】以下にキャパシタ 1421 および 1423 の重要性を説明する。ノード 302 および 303 の間の距離が波長に対して無視できない例として、ノード 302 および 303 の距離が 10 mm ($=\lambda/12$) であることを仮定する。

【0096】まず、伝送線路 1424 および 1425 と抵抗器 1422 とにそれぞれ挟まれたキャパシタ 1421 および 1423 が存在しない場合を仮定する。このときは、ノード 302 から 2 本の伝送線路 311 および 312 を通ってノード 303 に至る経路 (パス P311-312) による位相変化と、ノード 302 から移相器 320 を通ってノード 303 に至る経路 (パス P320) による位相変化との差が π rad (つまり位相が逆) にはならない。このためノード 302 および 303 の間のアイソレーション特性が実現できない。

【0097】次に、図 14 に示す本実施の形態を考える。本実施の形態においては、伝送線路 1424 および 1425 に加えて、キャパシタ 1421 および 1423 が直列に接続されている。このときキャパシタ 1421 および 1423 のキャパシタンスは、伝送線路 1424 および 1425 に起因する位相の変化がキャンセルされるように設定される。すなわち、伝送線路 1424 およ

びキャパシタ 1421 と、伝送線路 1425 およびキャパシタ 1423 とが、それぞれ周波数 1 GHz において直列共振するように設定する。

【0098】例えば、周波数 1 GHz、比誘電率 10.5 の基板上では、長さ 5 mm の伝送線路 1424 は、位相を $\pi/12$ rad だけ遅らせる。いっぽうキャパシタ 1421 の容量が 14 pF であるとき、キャパシタ 1421 は、位相を $\pi/12$ rad だけ進める。したがってこのとき、キャパシタ 1421 は、伝送線路 1424 による位相変化をキャンセルする。同様にすれば、キャパシタ 1423 は、伝送線路 1425 による位相変化をキャンセルする。したがって、パス P311-312 による位相変化と、パス P320 による位相変化との差が π rad (つまり位相が逆) になる。ここで伝送線路 1424 および 1425 の長さが異なっている場合は、それに応じてキャパシタ 1421 および 1423 のキャパシタンスをそれぞれ最適化すればよい。

【0099】以上のように本実施の形態によれば、ノード 302 および 303 の間の距離が波長に対して無視できない場合でも、伝送線路 1424 およびキャパシタ 1421 と、伝送線路 1425 およびキャパシタ 1423 とが、使用周波数においてそれぞれ直列共振し、その結果、ノード 302 および 303 の間のアイソレーションが実現できる。

【0100】図 14 の (b) に示す実施の形態 5 の移相器 320 は、直列に接続された伝送線路 1424、抵抗器 1422 および伝送線路 1425 を有する。使用波長に対するノード 302 および 303 の間の距離がさらに長い場合、例えば距離が λ である場合、図 14 の (b) の回路については、以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード 302 および 303 の間のアイソレーションとがともに実現される。すなわち、

使用周波数：1 GHz、

基板の比誘電率：10.5、

ノード 301、ノード 302 および 303：50 Ω で終端、

伝送線路 1424 および 1425 の長さ：60 mm ($=\lambda/2$)、

抵抗器 1422 の抵抗：100 Ω、

伝送線路 311 および 312 の特性インピーダンス：70 Ω、および

伝送線路 311 および 312 の長さ：90 mm ($=3\lambda/4$)。

【0101】パス P311-312 による位相変化とパス P320 による位相変化との差が π rad (つまり位相が逆) になれば、アイソレーションが実現できる。したがって、上の具体例に限られず、アイソレーションを実現するためには、伝送線路 1424 および 1425 の長さを $n\lambda/2$ (n ：自然数) とし、伝送線路 311 およ

び 312 の長さを $(2n+1)\lambda/4$ (n : 自然数) とすることが好ましい。

【0102】ここで伝送線路 311 および 312 のそれぞれは、異なる特性インピーダンスを有してもよい。例えば、伝送線路 311 および 312 のそれぞれが、特性インピーダンスが 50Ω であって、長さ 60mm ($=\lambda/2$) の伝送線路と、特性インピーダンスが 70Ω であって、長さ 30mm ($=\lambda/4$) の伝送線路とを備えていてもよい。例えば、1:2 分配をする分配器/合成器の単一の入力端子に近い伝送線路としてその特性インピーダンスが 70Ω のものを用いて、2つの出力端子に近い伝送線路としてその特性インピーダンスが 50Ω のものを用いることが好ましい。なぜなら伝送線路 311 および 312 がマイクロストリップ線路によって形成されている場合には、上述のように接続することによって伝送損失が低減されるからである。

【0103】さらに使用波長に対するノード 302 および 303 の間の距離が λ より長い場合、例えば $1.3\lambda/1.2$ である場合、図 14 の (c) に示すように、伝送線路 1424 および 1426 の間にキャパシタ 1421 (14pF) を、伝送線路 1425 および 1427 の間にキャパシタ 1423 (14pF) を挿入し、以下のパラメータを用いれば、それぞれのノードにおけるインピーダンス整合と、ノード 302 および 303 の間のアイソレーションとがともに実現される。すなわち、

使用周波数: 1GHz 、

基板の比誘電率: 10.5 、

ノード 301、ノード 302 および 303: 50Ω で終端、

伝送線路 1424、1425、1426 および 1427 の長さ: 32.5mm ($=1.3\lambda/4.8$)、

抵抗器 1422 の抵抗: 100Ω 、

伝送線路 311 および 312 の特性インピーダンス: 70Ω 、および

伝送線路 311 および 312 の長さ: 90mm ($=3\lambda/4$)。

【0104】この例では、キャパシタ 1421 が、伝送線路 1424 および 1426 の和の長さ 65mm と 60mm ($=\lambda/2$) との差である伝送線路 5mm 分の位相回転をキャンセルし、キャパシタ 1423 が、伝送線路 1425 および 1427 の和の長さ 65mm と 60mm ($=\lambda/2$) との差である伝送線路 5mm 分の位相回転をキャンセルする。このように伝送線路 311 および 312 の長さを $(2n+1)\lambda/4$ とし、移相器におけるノード 302 および 303 の間の位相差を $n\pi$ にすることによって、アイソレーションが実現できる。伝送線路 311 および 312 の長さは、 $(2n+1)\lambda/4$ (n : 自然数) とすることが好ましい。

【0105】(実施の形態 6) 図 15 は、本発明による分配器/合成器の実施の形態 6 の回路図である。伝送線

路を用いた従来のウィルキンソン型電力分配器は、インピーダンス整合およびアイソレーションを実現するために、各伝送線路の長さを $\lambda/4$ に設定しなければならない。しかし 1-N 分配、N-1 合成 (ただし N は 3 以上の整数) の分配器/合成器においては、各伝送線路の長さが等しいようにレイアウトをすることは難しく、伝送線路の長さが異なる場合には性能の劣化が問題となる。具体的には、図 15 の回路を基板の上に実装する場合は、回路図に模式的に示されるように、伝送線路 1511 および 1513 が伝送線路 1512 よりも長くなる。本実施の形態は、このような伝送線路の長さの不均一に起因するデメリットを克服する。

【0106】本実施の形態が、伝送線路を用いた従来の 1-3 分配の分配器と異なるのは、外側の伝送線路 1511 および 1513 (その長さが中央の伝送線路 1512 より長い) にそれぞれキャパシタ 1531 および 1532 が直列に挿入されている点である。本実施の形態では、中央の伝送線路 1512 の長さは $\lambda/4$ で、ノード 1503 ではノード 1501 より位相が $\pi/2\text{rad}$ だけ遅れる。一方、外側の 2 本の伝送線路 1511 および 1513 は長さが 0.285λ ($>\lambda/4$) であり、これは中央の伝送線路 1512 より長い。この伝送線路による位相の遅れは $0.57\pi\text{rad}$ である。外側の伝送線路 1511 に直列に挿入されたキャパシタ 1531 によって位相を $0.07\pi\text{rad}$ だけ進ませれば、ノード 1501 からみたノード 1502 および 1504 における位相の遅れを $\pi/2\text{rad}$ に一致させることができる。すなわち、キャパシタ 1531 および 1532 は、伝送線路の長さの差に起因する位相のずれをキャンセルし、その結果、ノード 1502、1503 および 1504 における信号の位相が全てそろふ。

【0107】具体的には、ノード 1501、1502、1503 および 1504 が 50Ω で終端され、基板の比誘電率が 10.5 である場合、伝送線路 1511、1512 および 1513 の特性インピーダンスを 86.6Ω 、抵抗器 1521 および 1522 を 150Ω 、中央の伝送線路 1512 の長さを 31mm 、外側の伝送線路 1511 および 1513 の長さを 35mm 、キャパシタ 1531 および 1532 の容量を 13pF にすれば、周波数 1GHz に対してインピーダンス整合およびアイソレーションを実現できる。

【0108】(実施の形態 7) 図 16 は、本発明による分配器/合成器の実施の形態 7 の回路図である。従来の分配器と異なるのは、中央の伝送線路 1612 (電気長が外側のものより短い) 中の 1 点と、グラウンドとの間にキャパシタ 1631 が接続されていることである。

【0109】外側の 2 本の伝送線路 1611 および 1613 の電気長は $\lambda/4$ であり、ノード 1602 および 1604 ではノード 1601 より位相が $\pi/2\text{rad}$ だけ遅れる。一方、中央の伝送線路 1612 の電気長は 0 。

205λ (<λ/4)であり、この長さは、外側の伝送線路1611および1613のそれより短い。伝送線路1612による位相の遅れは0.41πradである。中央の伝送線路1612に接続されている他端が接地されたキャパシタ1631によって位相を0.09πradだけ遅らせることによって、ノード1601からみたノード1603での位相の遅れをπ/2radに一致させることができる。すなわち、キャパシタ1631は、伝送線路の長さの違いによる位相差をキャンセルし、その結果、ノード1602、1603および1604の位相が全てそろふ。

【0110】具体的には、例えば以下の条件下でインピーダンス整合とアイソレーションを実現することができる。すなわち、

使用周波数：1GHz、

基板の比誘電率：10.5、

ノード1601、1602、1603および1604：50Ωで終端、

伝送線路1611、1612および1613の特性インピーダンス：86.6Ω、

抵抗器1621および1622の抵抗：150Ω、

伝送線路1611および1613の長さ：30.8mm、

伝送線路1612の長さ：25mm、および

キャパシタ1631のキャパシタンス：0.4pF。

【0111】(実施の形態8)図17は、本発明による分配器/合成器の実施の形態8の回路図である。従来の分配器と異なるのは、伝送線路1711、1712および1713中の1点と、グラウンドとの間にそれぞれキャパシタ1731、1732および1733が接続されていること、および伝送線路1711、1712および1713の長さに応じて、ノード1702、1703および1704における位相が一致するように、キャパシタ1731、1732および1733のキャパシタンスが設定されていることである。したがってキャパシタ1731、1732および1733のキャパシタンスのうち、少なくとも2つは互いに異なる値をとる。

【0112】外側の2本の伝送線路1711および1713の長さは0.205λであり、これらは位相を0.41πradだけ遅らせる。さらにその他端が接地されたキャパシタ1731および1733は、位相を0.09πradだけ遅らせる。したがって、ノード1702および1704では位相がπ/2radだけ遅れる。

【0113】一方、中央の伝送線路1712の長さは0.165λであり、この線路は位相を0.33πradだけ遅らせる。その他端が接地されたキャパシタ1732は、位相を0.17πradだけ遅らせる。したがって、ノード1703においても位相がπ/2radだけ遅れる。すなわちキャパシタ1731、1732および1733は、伝送線路1711、1712および1713

13の長さの違いによる位相差をキャンセルする。その結果、ノード1702、1703および1704における位相が全てそろふ。

【0114】具体的には、例えば以下の条件下でインピーダンス整合とアイソレーションを実現することができる。すなわち、

使用周波数：1GHz、

基板の比誘電率：10.5、

ノード1701、1702、1703および1704：50Ωで終端、

伝送線路1711、1712および1713の特性インピーダンス：86.6Ω、

抵抗器1721および1722の抵抗：150Ω、

伝送線路1711および1713の長さL1：25mm、

伝送線路1712の長さL2：20mm、

キャパシタ1731および1733のキャパシタンス：0.4pF、および

キャパシタ1732のキャパシタンス：0.8pF。

【0115】上述の実施の形態6～8では1-3分配および3-1合成の分配器/合成器を説明した。しかしこれには限られず、1-N分配およびN-1合成(N：4以上の整数)をおこなうように改変できる。特に1-N分配およびN-1合成(N：4以上の整数)の分配器/合成器は、さらに大きな効果を有する。また1-2分配および2-1合成の分配器/合成器についても、2本の伝送線路の長さを同じにできない場合には上記効果を有する。伝送線路としては、同軸線路またはマイクロストリップ線路を用いてもよい。

【0116】(実施の形態9)図18は、本発明による分配器/合成器の実施の形態9の回路図である。4本の伝送線路1811、1812、1813および1814の一端はノード1801に共通に接続され、それぞれの他端はノード1802、1803、1804および1805に接続される。図18のような回路を平らな基板上に実装する場合、ノード1802、1803、1804および1805と電気的中性点であるノード1806との距離が異なる。キャパシタ1827および1828をもたない従来技術においては、この距離の違いが波長に対して無視できない場合に、ノード1802、1803、1804および1805の間のアイソレーション特性が劣化していた。

【0117】本実施の形態では、外側の2つのノード1802および1805とノード1806との間に、直列に接続された抵抗器1821、伝送線路1825およびキャパシタ1827と、直列に接続された抵抗器1824、伝送線路1826およびキャパシタ1828とがそれぞれ挿入されており、内側の2つのノード1803および1804とノード1806との間には、抵抗器1822および1823がそれぞれ挿入されている。なお図

18の回路は抵抗・リアクタンスの対称性を満足する。また、本実施の形態も、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0118】具体的には、例えば以下の条件下でインピーダンス整合とアイソレーションを実現することができる。すなわち、

使用周波数：1GHz、

基板の比誘電率：10.5、

ノード1801、1802、1803および1804：50Ωで終端、

伝送線路1811、1812、1813および1814の特性インピーダンス：100Ω、

抵抗器1821、1822、1823および1824の抵抗：100Ω、

伝送線路1811、1812、1813および1814の長さ：30mm(=λ/4)、

伝送線路1825および1826の長さ：5mm、および

キャパシタ1827および1828のキャパシタンス：14pF。

【0119】以下、簡単のために例えば2つのノード1806および1802の間で生じる位相の遅れを「L1806-1802」などと表すことにする。

【0120】本実施の形態では、ノード1806とノード1802および1805との距離が波長λに対して無視できない場合として、その距離を10mm(=λ/12)とする。一方、ノード1806と内側のノード1803および1804との距離は波長λに対して十分に短いとする。図18に示す回路がノード1801および1806を結ぶ直線に対して線対称になるようにすれば、位相遅れL1806-1802は、位相遅れL1806-1803は、位相遅れL1806-1804に等しくなる。さらに位相遅れL1806-1802が位相遅れL1806-1803に等しく、かつ位相遅れL1806-1805が位相遅れL1806-1804に等しくなるように、キャパシタ1827および1828の値を設定すれば、ノード1802、1803、1804および1805におけるアイソレーション特性が改善される。

【0121】上述のように、平らな基板上に1-4分配、4-1合成の分配器/合成器を形成する場合に、それぞれのノードと、電気的中性点との距離が異なっても、ノード間のアイソレーション特性を改善することができる。本実施の形態は、1-N分配、N-1合成(ただしN=3、5、6、7、…)の分配器/合成器にも適用できる。

【0122】図18の分配器/合成器を平らな基板上に実現する場合、伝送線路1812および1813が、伝送線路1825および1826と交差しないように形成しなければならない。図19は、図18の本実施の形態

の回路基板の構成を示す図であり、ノード1806の近傍だけを示しており、ノード1801およびその近傍は図示されていない。図20は、図19に示す本実施の形態の回路基板の断面図であり、図19の点線A-A'での断面を示す。

【0123】比誘電率10.5の多層基板1900の表面には伝送線路1811~1814と、1825および1826とが形成されており、さらに表面実装型の抵抗器1821~1824と、キャパシタ1827および1828とが多層基板1900上に実装される。伝送線路1825および1826の一部は、基板の内層に形成される。伝送線路1825および1826の中には、キャパシタ1827および1828が直列に挿入される。このように、伝送線路1825および1826の一部を基板の内層に形成することによって図18の分配器/合成器を平らな基板を用いて実現できる。

【0124】図21は、図18に示す本実施の形態の回路基板の構成の他の例を示す図である。図21においては、単層基板2100を用いて本実施の形態を実現している。伝送線路1812および1813が伝送線路1825および1826と交差しないように、キャパシタ1827および1828がそれぞれ伝送線路1812および1813をまたいで実装される。伝送線路1825および1826にそれぞれ接続されている抵抗器1821および1824が伝送線路1812および1813をまたいで実装されていても同様の効果が得られる。

【0125】(実施の形態10)以下に説明する実施の形態10~15は、分配器、増幅素子および合成器を備えている。上記分配器は、単一のノードにおいて高周波信号を受け取り、受け取られた信号を分配する。上記増幅素子は、分配された信号を増幅する。上記合成器は、増幅された信号を合成し、単一のノードにおいて出力する。これらの分配器および合成器としては、上で説明した分配器/合成器を用いることができる。

【0126】図22は、本発明による分配器/合成器の実施の形態10の回路図である。実施の形態10~15は、入力信号を1つのノードで信号を受け取り、出力信号を1つのノードで信号を出力するが、分配器および合成器を含むことから、便宜上「分配器/合成器」とよぶことにする。

【0127】分配器2210は、ノード2201において高周波信号を受け取り、受け取られた高周波信号を分配し、それからノード2202および2203に出力する。インダクタ2241および2245は、それぞれノード2202をFET2240のゲートに、ノード2203をFET2244のゲートに接続する。FET2240および2244は、それぞれゲートにおいて受け取られた高周波信号を増幅し、インダクタ2242および2246を通してノード2252および2253に出力する。合成器2260は、ノード2252および225

3において増幅された高周波信号を受け取り、合成してから、ノード2251において出力する。

【0128】FET2240および2244のゲートバイアス電圧は、ノード2231から抵抗器2232を通して共通に供給される。FET2240および2244のドレインバイアス電圧は、ノード2281からインダクタ2282を通して共通に供給される。ノード2201および2251は、50Ωで終端されている。本実施の形態は、分配器2210および合成器2260として、実施の形態1で説明した分配器／合成器を用いる。なお図22の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0129】分配器2210および合成器2260は、それぞれ、比誘電率10.5、厚さ0.78mmの基板上に設けられた伝送線路2211および2212と、伝送線路2261および2262とを備えている。伝送線路2211および2212と、伝送線路2261および2262との長さは25mmで、幅は1.8mmで、それぞれの伝送線路の特性インピーダンスは30Ωであり、周波数1GHzにおける電気長は $5\lambda/24$ である。

【0130】FET2240および2244は、半絶縁性ガリウム砒素基板上にシリコンをイオン注入することによってチャンネル層を形成したGaAsMES (metal-semiconductor) FETであり、その総ゲート幅は4mmである。FET2240および2244のゲート電極は、それぞれインダクタ2241および2245を通して分配器2210のノード2202および2203に接続されている。FET2240および2244のドレイン電極は、それぞれインダクタ2242および2246を通して合成器2260のノード2252および2253に接続されている。本実施の形態においては、インダクタ2241、2242、2245および2246は、ディスクリート部品として実装されるコイルを表現するのではなく、FET2240および2244を接続するためのボンディングワイヤが含むインダクタンスを表現する。

【0131】周波数1GHzにおいて、ノード2202および2203からそれぞれみたFET2240および2244の入力インピーダンスは $(10 + j12)\Omega$ である。周波数1GHzにおいて、ノード2252および2253からそれぞれみたFET2240および2244の出力インピーダンスは $(15 + j12)\Omega$ である。これらの入力および出力インピーダンスが誘導性である（つまりスミスチャートでは第2象限に位置する）のは、インダクタ2241、2242、2245および2246として作用するボンディングワイヤの長さが比較的、長いためである。

【0132】分配器2210は、実施の形態1で説明したように、ノード2202および2203に誘導性のインピーダンスが接続されても、ノード2202および2203の間のアイソレーションが確保されるという特徴を有する。同様に、合成器2260は、ノード2252および2253に誘導性のインピーダンスが接続されても、ノード2252および2253の間のアイソレーションが確保されるという特徴を有する。このため本実施の形態は、FET2240および2244の入力／出力ノード間（つまりゲート／ソース間）の相互作用を起こさないという効果を有する。その結果、複数のFETが並列に接続されて高周波信号を増幅する本実施の形態は、それぞれのFETから分配器／合成器をみたインピーダンスを変動させず、よって並列動作に悪影響を与えないという利点を有する。さらに本実施の形態による分配器／合成器は、FET2240および2244が特性のばらつきをもつ場合であっても、良好な電力分配／合成効率を維持する。その結果、本実施の形態は、量産時における高い歩留りを確保できるという効果を有する。

【0133】なお移相器2220および2270のいずれか一方を省略することによって簡易化された分配器／合成器も本発明の範囲に含まれる。すなわち分配器2210および合成器2260のうちのいずれかに移相器が設けられていればよい。しかしより完全なアイソレーションのためには、移相器2220および2270の両方が設けられていることが好ましい。このことは、以下の実施の形態11～15についてもあてはまる。

【0134】（実施の形態11）図23は、本発明による分配器／合成器の実施の形態11の回路図である。本実施の形態は、分配器および合成器がキャパシタの代わりにインダクタを備えていることを除いて実施の形態10と同様の構成である。本実施の形態においては、FET2240のゲートおよびノード2202、FET2240のドレインおよびノード2252、FET2244のゲートおよびノード2203、およびFET2244のドレインおよびノード2253をそれぞれ接続するボンディングワイヤのインダクタンスは十分に小さく無視できるとする。なお図23の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0135】分配器2210および合成器2260は、それぞれ、比誘電率10.5、厚さ0.78mmの基板上に設けられた伝送線路2211および2212と、伝送線路2261および2262とを備えている。伝送線路2211および2212と、伝送線路2261および2262との長さは35mmで、幅は1.8mmで、それぞれの伝送線路の特性インピーダンスは30Ωであり、周波数1GHzにおける電気長は $7\lambda/24$ である。

【0136】周波数1GHzにおいて、ノード2202および2203からそれぞれみたFET2240および2244の入ラインピーダンスは $(10-j12)\Omega$ である。周波数1GHzにおいて、ノード2252および2253からそれぞれみたFET2240および2244の出ラインピーダンスは $(15-j12)\Omega$ である。これらの入力および出ラインピーダンスは容量性である（つまりスミスチャートの第3象限に位置する）。

【0137】実施の形態3で説明したように、ノード2202および2203に容量性のインピーダンスが接続されても分配器2210は、ノード2202および2203におけるアイソレーションを実現できる。ノード2252および2253に容量性のインピーダンスが接続されても合成器2260は、ノード2252および2253におけるアイソレーションを実現できる。その結果、実施の形態10と同様に、本実施の形態は、それぞれのFETから分配器/合成器をみたインピーダンスを変動させず、よって並列動作に悪影響を与えないという利点を有する。さらに本実施の形態による分配器/合成器は、FET2240および2244が特性のばらつきをもつ場合であっても、良好な電力分配/合成効率を維持する。その結果、本実施の形態は、量産時における高い歩留りを確保できるという効果を有する。

【0138】（実施の形態12）図24は、本発明による分配器/合成器の実施の形態12の回路図である。本実施の形態は、移相器2220および2270がインダクタの代わりに伝送線を備えていることを除いて実施の形態11と同様の構成である。具体的には移相器2220は、直列に接続された伝送線路2421、抵抗器2422および伝送線路2423を有し、移相器2270は、直列に接続された伝送線路2471、抵抗器2472および伝送線路2473を有する。なお図24の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0139】本実施の形態は、例えば、以下のようにパラメータを設定すれば、実施の形態11の分配器/合成器と同様の効果を奏する。すなわち、
抵抗器2422： 20Ω 、
抵抗器2472： 30Ω 、
伝送線路2421、2423、2471および2473の特性インピーダンス： 30Ω 、
伝送線路2421、2423、2471および2473の長さ： $\lambda/24$ 、
伝送線路2211、2212、2261および2262の特性インピーダンス： 30Ω 、および
伝送線路2211、2212、2261および2262の長さ： $7\lambda/24 (>\lambda/4)$ 。

【0140】（実施の形態13）図25は、本発明によ

る分配器/合成器の実施の形態13の回路図である。本実施の形態は、伝送線路2211、2212、2261および2262中の1点と、グラウンドとの間にそれぞれキャパシタ2531、2532、2581および2582が接続されていることを除いて実施の形態12と同様の構成である。なお図25の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0141】分配器2210および合成器2260は、それぞれ、比誘電率10.5、厚さ0.78mmの基板上に設けられた伝送線路2211および2212と、伝送線路2261および2262とを備えている。伝送線路2211および2212と、伝送線路2261および2262との長さは15mmで、幅は0.675mmである。キャパシタ2531、2532、2581および2582のキャパシタンスは4.5pFである。実施の形態12の伝送線路2211、2212、2261および2262の長さが35mmであるのに対し、本実施の形態のそれらの長さは15mmである。

【0142】本実施の形態は、キャパシタ2531、2532、2581および2582による位相回転を利用することによって、実施の形態12の伝送線路2211、2212、2261および2262の長さを1/2以下に短縮している。さらにノード2202および2203の間のアイソレーション特性は、実施の形態12とほぼ同じである。伝送線路2211、2212、2261および2262の長さは、実装された分配器/合成器の大きさを支配する。したがって本実施の形態は、他端がグラウンドに接続されたキャパシタを伝送線路に設けることによって、実施の形態12と同様の特性を満足しながら、分配器/合成器の大きさを1/2程度まで小型化できるという利点を有する。

【0143】図26は、図25の回路基板の構成を示す図である。図中の「GND」は、グラウンドを表す。またゲートバイアスおよびドレインバイアスのためのパターンは、省略されている。

【0144】（実施の形態14）図27は、本発明による分配器/合成器の実施の形態14の回路図である。実施の形態10と異なるのは、ノード2701と伝送線路2711および2712との間にキャパシタ2735および2736が直列に挿入されている点、および並列動作するFET2240および2244のゲートバイアスがそれぞれノード2731および2733から抵抗器2732および2734を通して供給される点である。なお図27の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0145】実施の形態10においては、並列動作するFET2240および2244のゲートバイアスは、共通のノード2231から供給される。したがって閾値電圧が異なるFETを並列動作させる場合に、例えばFET2240がA級で動作し、FET2244がB級で動作するおそれがある。このようなアンバランスな並列動作においては、出力電力と効率との劣化が生じる可能性がある。また歪特性の劣化の原因にもなる。このアンバランスを防ぐには、閾値電圧が完全に一致したFETをペアにして使用する必要があり、FETの選別が煩雑である。

【0146】一方、本実施の形態においては、ノード2702および2703の間が直流的に分離されているため、並列動作するFET2240および2244のゲート電圧を別々に設定することが可能である。これによりFET2240および2244が異なる閾値をもつ場合であっても、同じ動作点でFET2240および2244を並列動作させることが可能である。キャパシタ2735および2736のリアクタンスが無視できる程度に小さくなるように、それらのキャパシタンスを動作周波数に対して十分に大きな値に設定することによって、伝送線路2711および2712の長さは実施の形態10の伝送線路2211および2212と同じ長さをもてばよい。

【0147】また、並列動作するFETとしてゲート幅の異なるものを使用すれば、出力電力のレベルに応じて最適なゲート幅のFETを動作させることができ、出力電力のレベルに応じて効率を最大にできる。

【0148】（実施の形態15）図28は、本発明による分配器／合成器の実施の形態15の回路図である。実施の形態10と異なるのは、ノード2851と伝送線路2861および2862との間にキャパシタ2885および2886が直列に挿入されている点、および並列動作するFET2240および2244のドレインバイアスがそれぞれノード2881および2883からインダクタ2882および2884を通して供給される点である。なお図28の分配器2210および合成器2260は抵抗・リアクタンスの対称性を満足する。また、それぞれの部分は、実施の形態1と同様のインピーダンス整合およびアイソレーションを実現できる。

【0149】実施の形態10においては、並列動作するFET2240および2244のドレインバイアスは、共通のノード2281から供給される。その結果、必ずしも全てのFETを並列動作させる必要がない場合、例えば必要とされる出力電力が小さい場合にも、常に全てのFETに均等にドレインバイアスが印加されていた。したがって出力電力の大きさによっては、必要な電流よりも大きい電流が消費される。特にFET2240および2244の動作がA級に設定される場合は、この傾向が顕著になる。

【0150】一方、本実施の形態は、2つのノード2852および2853の間が直流的に分離されているため、並列動作するFET2240および2244のドレイン電圧を個別に設定できる。また、出力電力の大小に応じて、動作させたいFETだけに選択的にドレイン電圧を供給することもできる。このようなアンバランスな動作状態であっても、2つのノード2852および2853の間のアイソレーションは確保されるので、片側のFETだけが動作しても安定な高周波電力を出力できる。したがって、最大出力時の特性を犠牲にすることなく、出力電力が小さいときの効率を従来に比べて大幅に改善できる。この傾向は並列動作するFETの個数が多くなればなるほど顕著になる。

【0151】また、並列動作するFETとしてゲート幅の異なるものを使用すれば、出力電力のレベルに応じて最適なゲート幅のFETを動作させることができ、出力電力のレベルに応じて効率を最大にできる。

【0152】実施の形態14および15において、キャパシタ2735、2736、2885および2886は、いずれも伝送線路の端部において伝送線路と直列に接続されているが、これには限られず、伝送線路の途中において直列に接続されてもよい。例えば図27の場合、伝送線路2711および2712をその中点において分割してそれぞれ2つの伝送線路にし、キャパシタ2735を分割された伝送線路2711の2つの部分の間に挿入し、キャパシタ2736を分割された伝送線路2712の2つの部分の間に挿入してもよい。このことは図28についてもあてはまる。

【0153】上述の実施の形態10～15で用いられる分配器および合成器は、それぞれ1-N分配およびN-1合成（ただしN=2）をおこなうが、Nの値はこれには限られない。すなわち、N≧3であってもよい。

【0154】上述のすべての実施の形態において、移相器の抵抗は、複数のノードのうちの一方のノード（例えば302）および他方のノード（例えば303）に対して実質的に等しい位相の点に位置することが、本発明の効果を得るためには好ましい。また、移相器の複数のノードのうちの一方のノード（例えば302）からみたときの抵抗およびリアクタンスの分布が、複数のノードのうちの他方のノード（例えば303）からみたときの抵抗およびリアクタンスの分布に実質的に等しいければ、より好ましい。

【0155】

【発明の効果】本発明によれば、少なくとも以下の効果が得られる。

【0156】（1）入力信号を受け取るノードが純抵抗50Ωで終端され、出力信号を出力するノードがスミスチャートの実軸上を除く第2象限にあるインピーダンスで終端されている場合であっても、移相器による位相制御によって、インピーダンス整合およびアイソレーショ

ンを同時に実現できる。

【0157】(2) 並列動作する FET のゲート／ドレインの間のアイソレーションが確保されるため、並列動作する FET の特性が異なる場合でも良好な電力分配／合成効率が維持され、さらに FET 間の相互作用による悪影響を防止することができる。

【0158】(3) 並列動作する FET のゲート電圧を別々に設定することが可能となり、FET の閾値が異なる場合であっても、複数の FET を同じ動作点で並列動作させることができる。これにより、FET の閾値電圧の選別という煩雑な工程を削除することができる。

【0159】(4) 1 : N 分配および N : 1 合成 (N : 3 以上の整数) をおこなう分配器／合成器において、各線路の長さを等しくすることが飛躍的に容易となり、レイアウトにおける種々の制限が大幅に緩和される。

【0160】(5) 出力ノード間の距離が使用波長に対して無視できない場合でも、出力ノード間に伝送線路およびキャパシタを挿入することによって、良好なアイソレーション特性を実現できる。

【図面の簡単な説明】

【図 1】従来技術によるウィルキンソン型電力分配器／合成器の等価回路図である。

【図 2】従来のウィルキンソン型電力分配器の回路図である。

【図 3】本発明による分配器／合成器の実施の形態 1 の回路図である。

【図 4】分配器／合成器 300 の回路基板の構成を示す図である。

【図 5】図 4 に示す移相器 320 のノード 302 からみたときの抵抗およびリアクタンスの分布と、ノード 303 からみたときの抵抗およびリアクタンスの分布とを示す図である。

【図 6】実施の形態 1 によるインピーダンス整合を説明するための図である。

【図 7】従来技術と比較したときの本実施の形態による特性改善を説明するための図である。

【図 8】周波数 1 GHz におけるパス P311-312 を通る信号、およびパス P320 を通る信号の位相差に対する、ノード 302 および 303 の間のアイソレーションの変化を示すグラフである。

【図 9】実施の形態 1 の移相器 320 を示す図である。

【図 10】本発明による分配器／合成器の実施の形態 2 の回路図である。

【図 11】本発明による分配器／合成器の実施の形態 3 の回路図である。

【図 12】実施の形態 3 によるインピーダンス整合を説明するための図である。

【図 13】本発明による分配器／合成器の実施の形態 4 の回路図である。

【図 14】本発明による分配器／合成器の実施の形態 5 の回路図である。

【図 15】本発明による分配器／合成器の実施の形態 6 の回路図である。

【図 16】本発明による分配器／合成器の実施の形態 7 の回路図である。

【図 17】本発明による分配器／合成器の実施の形態 8 の回路図である。

【図 18】本発明による分配器／合成器の実施の形態 9 の回路図である。

【図 19】図 18 に示す本実施の形態の回路基板の構成を示す図である。

【図 20】図 19 に示す本実施の形態の回路基板の断面図である。

【図 21】図 18 に示す本実施の形態の回路基板の構成の他の例を示す図である。

【図 22】本発明による分配器／合成器の実施の形態 10 の回路図である。

【図 23】本発明による分配器／合成器の実施の形態 11 の回路図である。

【図 24】本発明による分配器／合成器の実施の形態 12 の回路図である。

【図 25】本発明による分配器／合成器の実施の形態 13 の回路図である。

【図 26】図 25 の回路基板の構成を示す図である。

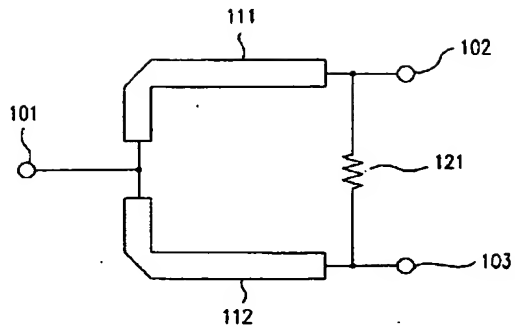
【図 27】本発明による分配器／合成器の実施の形態 14 の回路図である。

【図 28】本発明による分配器／合成器の実施の形態 15 の回路図である。

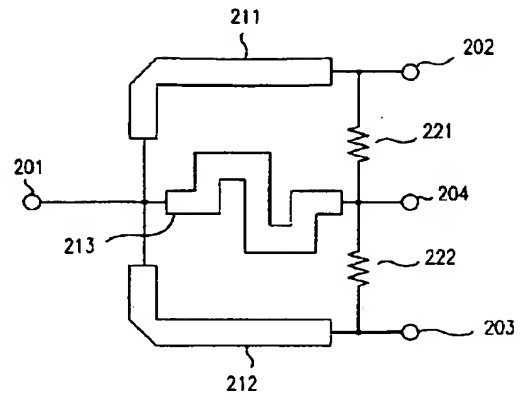
【符号の説明】

300 分配器／合成器
301、302、303 ノード
311、312 伝送線路
320 移相器
321、323 キャパシタ
322 抵抗

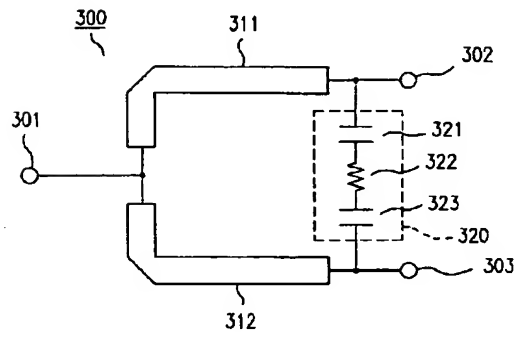
【図 1】



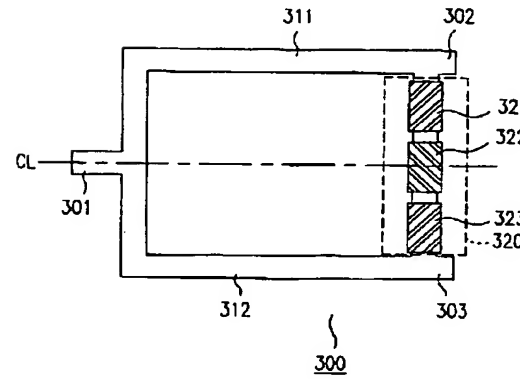
【図 2】



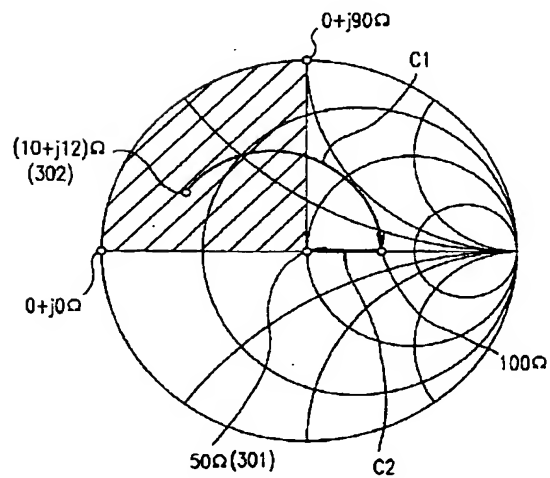
【図 3】



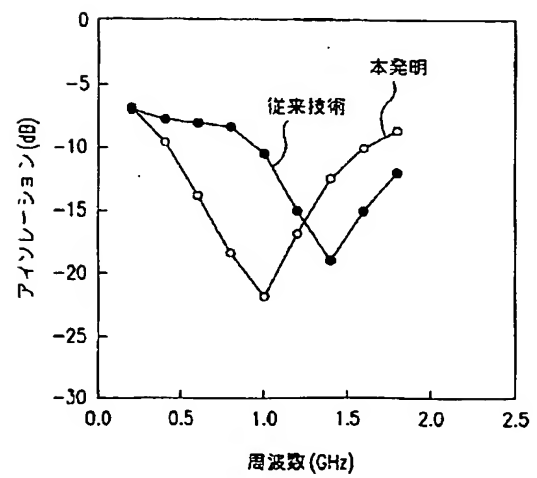
【図 4】



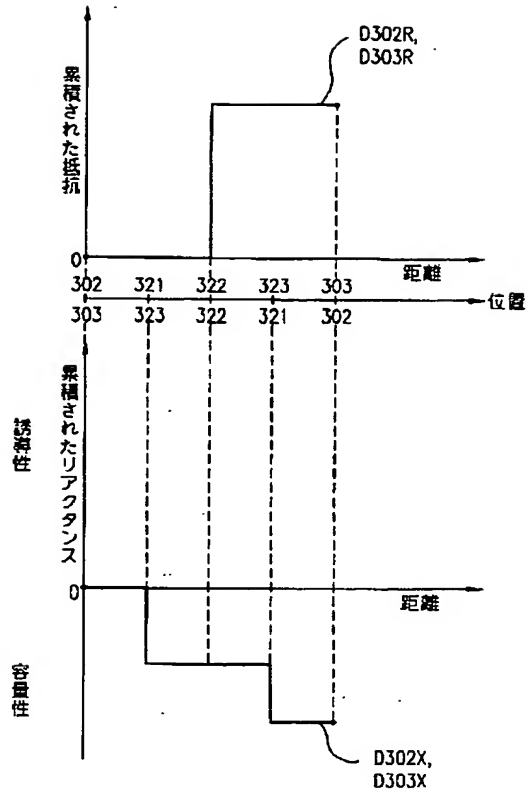
【図 6】



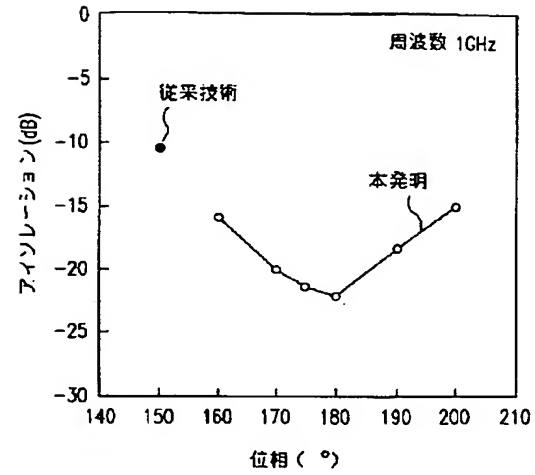
【図 7】



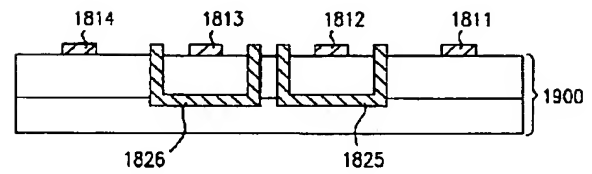
【図 5】



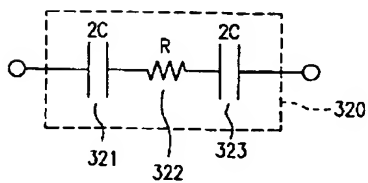
【図 8】



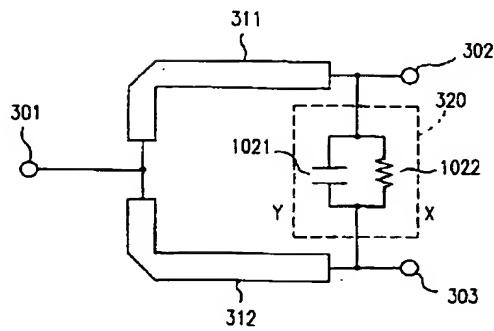
【図 20】



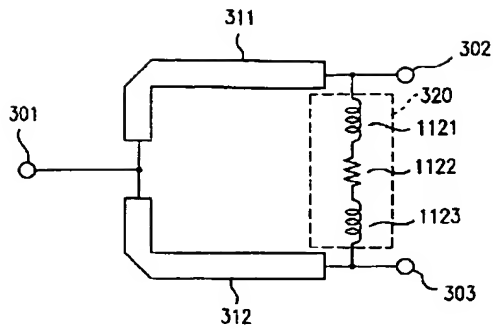
【図 9】



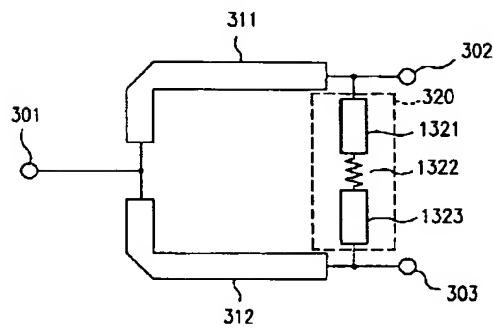
【図 10】



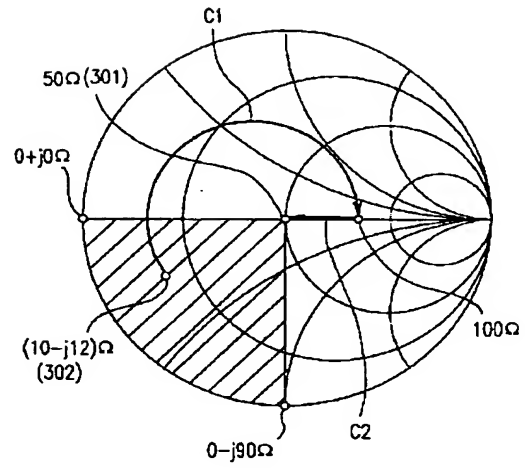
【図 1 1】



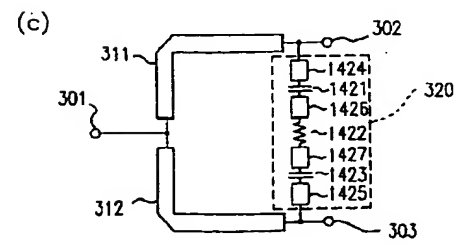
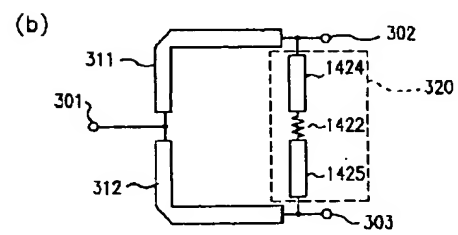
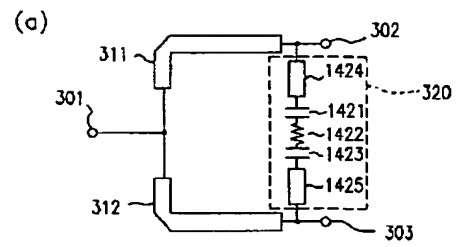
【図 1 3】



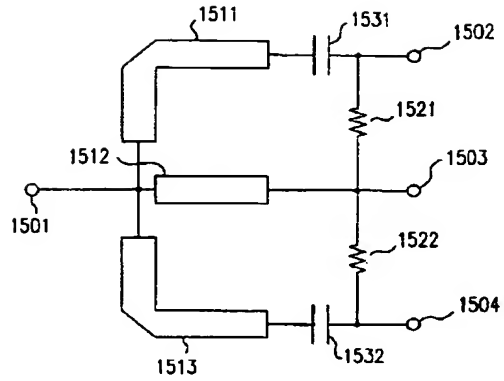
【図 1 2】



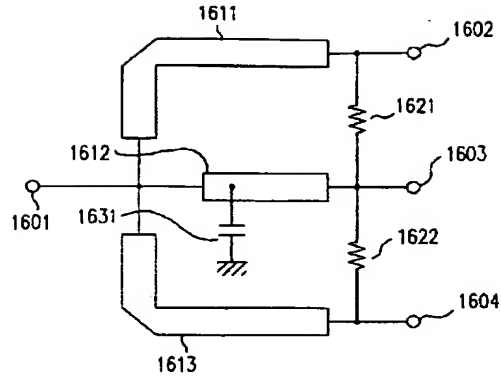
【図 1 4】



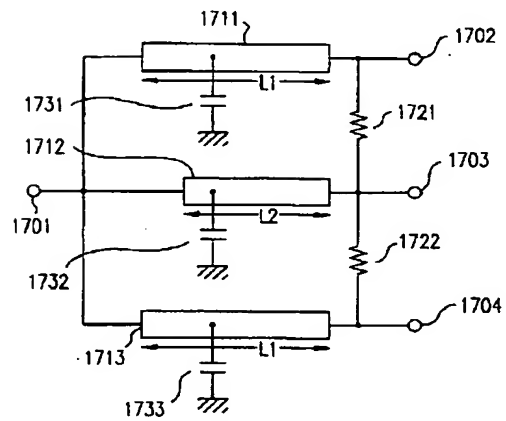
【図 15】



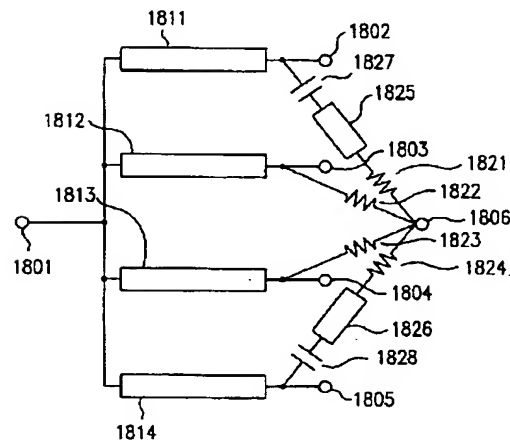
【図 16】



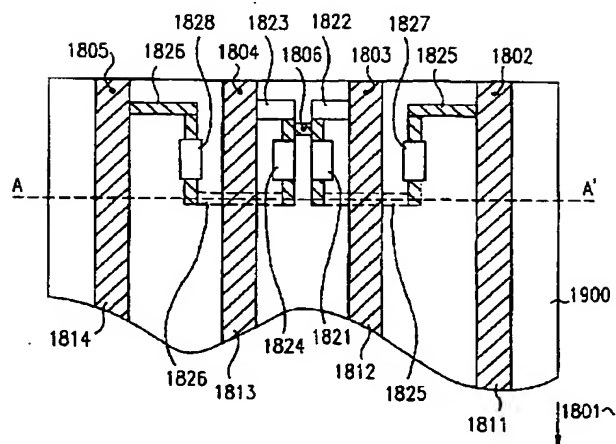
【図 17】



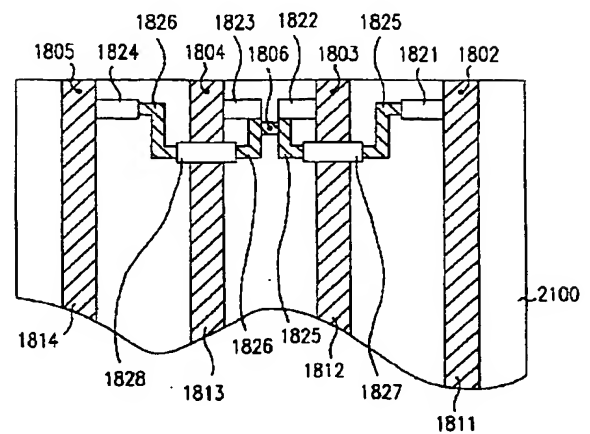
【図 18】



【図 19】



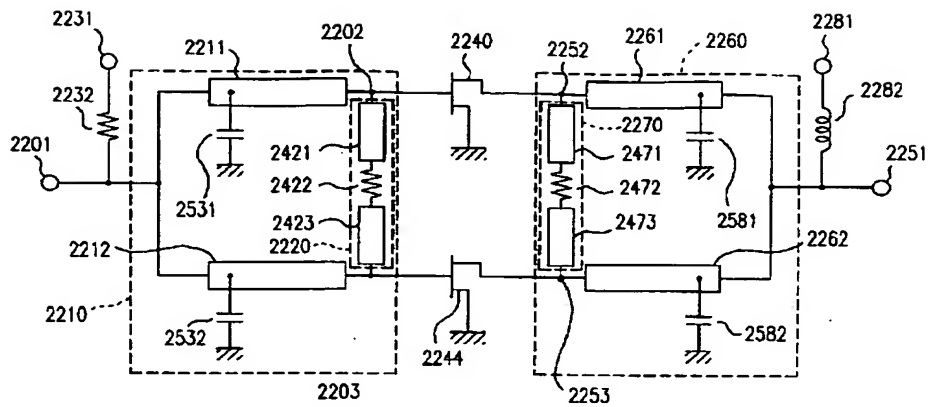
【図 21】



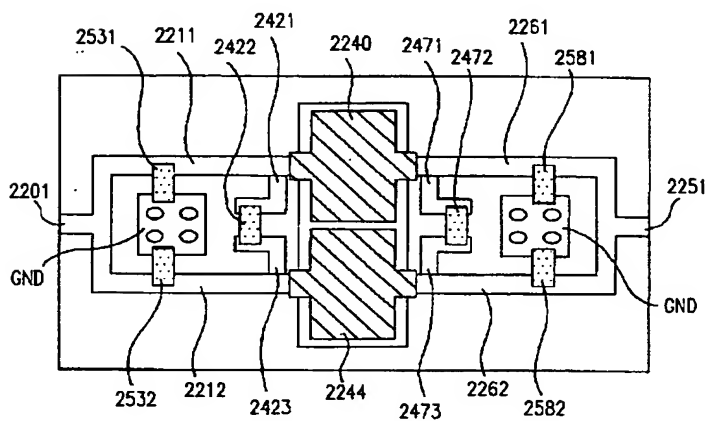
The schematic diagram illustrates a differential signal processing circuit, likely for a sensor or actuator. It consists of two matched stages connected in series. The first stage on the left includes a differential pair of transistors (2211, 2212) with a common source node (2220) connected to ground (2240). The gates of these transistors are driven by a differential-mode input signal (2201) through a resistor (2232) and a capacitor (2231). The drains of the transistors are connected to a load network (2221, 2222, 2223, 2224) and a feedback network (2231, 2232, 2233, 2234). The output of the first stage is a differential signal (2202, 2203). The second stage on the right is a similar differential pair (2261, 2262) with a common source node (2270) connected to ground (2244). Its gates are driven by the differential signal from the first stage through a resistor (2272) and a capacitor (2271). The drains are connected to a load network (2261, 2262, 2263, 2264) and a feedback network (2271, 2272, 2273, 2274). The final output is a differential signal (2281, 2282).

The diagram shows a differential amplifier circuit with two matched stages. Each stage consists of a differential pair of transistors (2211, 2212 on the left; 2261, 2262 on the right) with their sources connected to a common source node (2220, 2253) via resistors (2421, 2471). The gates of the transistors are biased by a common gate voltage (2222, 2472) derived from a divider network (2231, 2232 on the left; 2281, 2282 on the right). The differential outputs (2202, 2252) are taken from the drains of the transistors. The circuit is powered by a positive supply (2210, 2260) and a negative supply (2240, 2244).

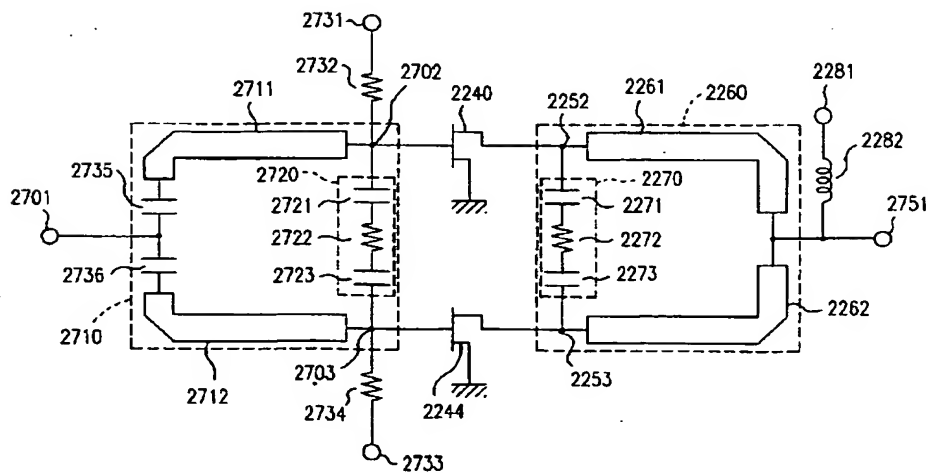
【図 2 5】



【図 2 6】



【図 2 7】



【図 2 8】

